

1/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

012467589 **Image available**
WPI Acc No: 1999-273697/ 199923
XRPX Acc No: N99-205255

Semiconductor device structure for DRAM - includes pair of contact holes
which are formed in layer insulation film in contact with insulation
formed on gate electrode through lamination insulation film respectively
Patent Assignee: FUJITSU LTD (FUIT)
Inventor: KOJIMA H
Number of Countries: 002 Number of Patents: 003
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11087653	A	19990330	JP 97243607	A	19970909	199923 B
US 6072241	A	20000606	US 9835331	A	19980305	200033
US 6333233	B1	20011225	US 9835331	A	19980305	200206
			US 2000556302	A	20000424	

Priority Applications (No Type Date): JP 97243607 A 19970909

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 11087653	A		13	H01L-027/108	
US 6072241	A			H01L-023/48	
US 6333233	B1			H01L-021/336	Div ex application US 9835331 Div ex patent US 6072241

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-087653
(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/768

(21)Application number : 09-243607

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.09.1997

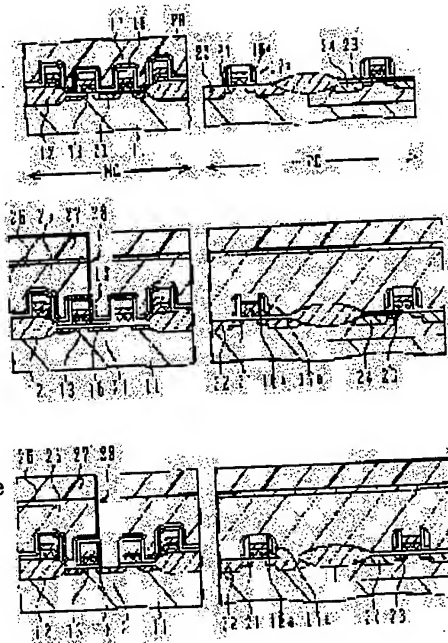
(72)Inventor : KOJIMA HIDEYUKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To broaden a width of a recess formed on a first laminated insulating film, by eliminating formation of a sidewall on a sidewall of a gate electrode structure in a first region having a high pattern density.

SOLUTION: A memory cell region MC is covered with a resist film PR. A peripheral circuit region PC is exposed. An exposed oxide film 16 and a laminated nitride film 17 are anisotropically etched, and retained as sidewalls 16a, 17a only at a word wiring sidewall. A resist mask 27 having an opening in a bit line contact region is formed on a high temperature oxide film HTO film 26. A contact hole 28 for a bit line is formed, and etched. And, when the film 26 and a BPSG insulating film 25 are etched, the film 17 is exposed at a bottom in the opening. The film 17 is selectively etched, and the film 17 is removed. Since a sidewall is not formed in a word wiring structure in the region MC, a width of the recess for forming the film 17 can be broadened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

Searching PAJ

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87653

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl. ⁸	識別記号	F I	
H 0 1 L	27/108	H 0 1 L	27/10
	21/8242		21/90
	21/768		27/10
			6 8 1 B
			C
			6 2 1 Z
			6 8 1 F

審査請求 未請求 請求項の数18 O L (全 13 頁)

(21) 出願番号 特願平9-243607
(22) 出願日 平成9年(1997) 9月9日

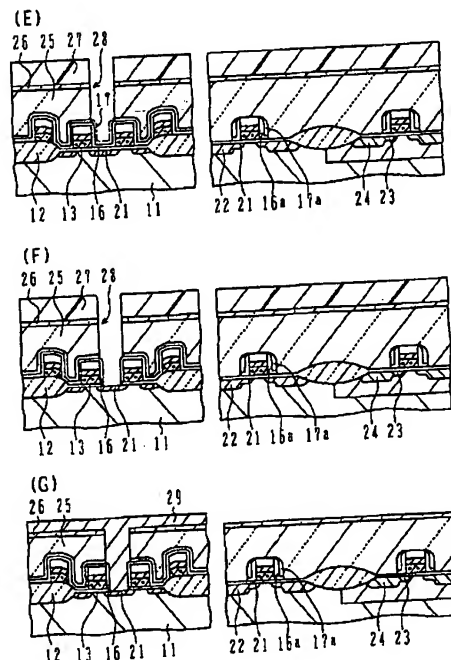
(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72) 発明者 兒嶋 秀之
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(74) 代理人 弁理士 高橋 敬四郎

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 自己整合的にコンタクト孔を開く半導体装置およびその製造方法に関し、パターン密度が向上した場合にも、SAC窓を確実に開口する。

【解決手段】 半導体基板のゲート絶縁膜上に、第1の領域でパターン密度の高い第1のゲート電極構造を、第2の領域でパターン密度が低い第2のゲート電極構造を形成する工程と、半導体基板上に第1の絶縁膜と第1の絶縁膜とエッチング特性が異なる第2の絶縁膜を形成する工程と、第1の領域をマスクし、第2の領域の積層絶縁膜を異方的にエッチングし、サイドウォールを形成する工程と、層間絶縁膜を形成する工程と、第1の領域で、第2の絶縁膜をエッチングストップとし、ソース/ドレイン領域に達する開口を自己整合的に形成する工程とを有する。



【特許請求の範囲】

【請求項1】 パターン密度の高い第1の領域と、パターン密度の低い第2の領域とを含む半導体装置であって、

半導体基板と、

前記半導体基板上に形成されたゲート絶縁膜と、

前記第1の領域で前記ゲート絶縁膜上に形成された第1のゲート電極構造と、

前記第2の領域で前記ゲート絶縁膜上に形成された第2のゲート電極構造と、

前記第1のゲート電極構造の上面および側面を覆って半導体基板上に形成された第1の絶縁膜と、第1の絶縁膜の上に形成され、第1の絶縁膜とはエッチング特性の異なる第2の絶縁膜とを含む第1の積層絶縁膜と、

前記第2のゲート電極構造の側面を覆い、前記第1および第2の絶縁膜と同一工程で形成された第3および第4の絶縁膜を含む第2の積層絶縁膜と、

前記第1および第2のゲート電極構造の両側の半導体基板中に形成された第1対および第2対のソース/ドレイン領域と、

前記第1および第2の積層絶縁膜を覆う層間絶縁膜と、前記層間絶縁膜および前記第1の積層絶縁膜を貫通し、前記第1のゲート電極構造側壁上の前記第1の絶縁膜に接して前記第1対のソース/ドレイン領域の一方に達する第1のコンタクトホールと、

前記層間絶縁膜を貫通し、前記第2の積層絶縁膜の側方を通して前記第2対のソース/ドレイン領域の一方に達する第2のコンタクトホールと、

前記第1、第2のコンタクトホールを埋める第1および第2のソース/ドレイン電極とを含み、前記第1のコンタクトホール内の第1のソース/ドレイン電極と、前記第1のゲート電極構造との間には前記層間絶縁膜が存在しない半導体装置。

【請求項2】 前記第2の積層絶縁膜は、前記第2のゲート電極構造の側壁上にサイドウォールを形成する請求項1記載の半導体装置。

【請求項3】 前記第1のゲート電極構造が、近接して配置された一対のゲート電極構造を含み、前記第1のコンタクトホールは前記一対のゲート電極構造間に形成されている請求項1記載の半導体装置。

【請求項4】 前記第1および第3の絶縁膜が酸化物で形成され、前記第2および第4の絶縁膜が窒化物で形成されている請求項1記載の半導体装置。

【請求項5】 前記第1のコンタクトホール内の第1のソース/ドレイン電極と、前記第1のゲート電極構造との間では、前記第2の絶縁膜が除去されており、前記第1の絶縁膜が残存している請求項1記載の半導体装置。

【請求項6】 前記層間絶縁膜が、燐とほう素を含む酸化物で形成された第5の絶縁膜と、前記第5の絶縁膜上に形成されたノンドーパ酸化物の第6の絶縁膜を含む請

求項1記載の半導体装置。

【請求項7】 前記第5の絶縁膜が平坦化された表面を有する請求項6記載の半導体装置。

【請求項8】 前記ゲート電極構造が、ゲート電極層とその上に形成された保護絶縁膜を含む請求項1記載の半導体装置。

【請求項9】 前記第1のソース/ドレイン電極がメモリセルのビットコンタクトである請求項1または3記載の半導体装置。

【請求項10】 前記第1のソース/ドレイン電極がメモリセルの蓄積電極コンタクトである請求項1記載の半導体装置。

【請求項11】 半導体基板の複数の活性領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、第1の領域でパターン密度の高い複数の第1のゲート電極構造を、第2の領域でパターン密度が低い複数の第2のゲート電極構造を形成する工程と、

前記第1、第2のゲート電極構造の両側で、前記半導体基板内にそれぞれ1対のソース/ドレイン領域を形成する工程と、

前記第1、第2のゲート電極構造を覆って、半導体基板上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に第1の絶縁膜とエッチング特性が異なる第2の絶縁膜を形成する工程と、

前記第1の領域の第2の絶縁膜上、および第2の領域の第2のゲート電極構造を覆って半導体基板上に前記第2の絶縁膜とエッチング特性が異なる層間絶縁膜を形成する工程と、

前記第1の領域で、前記第2の絶縁膜をエッチングストッパとして用い、前記層間絶縁膜、前記第1の積層絶縁膜を貫通し、前記第1のゲート電極構造側壁上の前記第1の絶縁膜に接して前記ソース/ドレイン領域の1つに達する開口を自己整合的に形成する工程とを有する半導体装置の製造方法。

【請求項12】 さらに、前記第1および第2の絶縁膜を形成する工程の後、前記第1の領域をマスクし、前記第2の領域の第1および第2の絶縁膜を異方的にエッチングし、前記第2のゲート電極構造の側壁上にサイドウォールを残す工程を含む請求項11記載の半導体装置の製造方法。

【請求項13】 前記開口を自己整合的に形成する工程は、隣接する前記第1のゲート電極構造の間に開口を形成する請求項11記載の半導体装置の製造方法。

【請求項14】 前記開口を形成する工程が、レジストマスクを用いて前記層間絶縁膜をエッチするサブ工程と、露出した第2の絶縁膜を選択的にエッチするサブ工程と、露出した第1の絶縁膜を異方的にエッチするサブ工程とを含む請求項11記載の半導体装置の製造方法。

【請求項15】 前記第1の絶縁膜を形成する工程が酸

化膜を成長する工程であり、前記第2の絶縁膜を形成する工程が窒化膜を成長する工程である請求項11記載の半導体装置の製造方法。

【請求項16】 前記層間絶縁膜を形成する工程が、燐とほう素を含む酸化膜を成長するサブ工程と、成長した酸化膜表面を平坦化するサブ工程と、平坦化した表面上にノンドーパ酸化膜を成長するサブ工程とを含む請求項11記載の半導体装置の製造方法。

【請求項17】 さらに、前記開口内に第1シリコン膜を堆積する工程を含む請求項11記載の半導体装置の製造方法。

【請求項18】 さらに、第1シリコン膜の表面上に絶縁膜と第2シリコン膜を堆積する工程を含む請求項17記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特にパターン密度の高い領域と低い領域を含み、パターン密度の高い領域においては、自己整合的にコンタクト孔を開く半導体装置およびその製造方法に関する。

【0002】

【従来の技術】半導体装置においては、高集積化と共に微細構造を形成することが要求される。以下、制限的な意味なく、ダイナミックランダムアクセスメモリ(DRAM)のような半導体記憶装置を例にとりて説明する。半導体記憶装置においては、記憶容量の増大のため、メモリセルを微細化することが要求されている。半導体記憶装置の周辺回路においては、メモリセル領域ほどの微細化は要求されないが、電源の低電圧化が進み、駆動能力の維持と高い信頼性が要求される。周辺回路においては、LDD構造のMOSTランジスタを形成することが望まれる。

【0003】パターンニングの最小寸法をFとした時、DRAMのメモリセルとしては、 $2F \times 3F = 6F^2$ のセルを実現することが、セル面積減少のために極めて有効である。最小設計寸法 $0.20 \sim 0.25 \mu\text{m}$ のDRAMセルにおいては、ストレージ電極のコンタクトおよびビット線のコンタクトに自己整合コンタクト(SAC)を用いることが $6F^2$ セルを実現するために極めて有効である。

【0004】図2(A)～(D)は、従来のSACを用いたコンタクト部の構造を概略的に示す。図2(A)においては、シリコン基板101表面上にフィールド酸化膜102が選択的に形成され、活性領域ARを画定している。活性領域AR内のシリコン表面上にゲート酸化膜103が形成され、その上にゲート電極104が形成されている。なお、フィールド酸化膜102上にも同様の構成のワード配線が形成されている。ゲート電極およびワード配線104の上面および側面は、絶縁膜108で

覆われる。

【0005】絶縁膜108上にエッチストップ層を介して層間絶縁膜が形成される。層間絶縁膜上にレジストマスクを形成し、層間絶縁膜をエッチングする。ゲート電極およびワード配線104上面および側壁のエッチストップ層をエッチングストップとし、SAC窓を形成する。しかしながら、SAC窓のエッチングにおいて、ゲート電極およびワード配線104肩部の絶縁膜が図に示すように膜減りし、絶縁耐圧が不足するという問題が生じる。

【0006】図2(B)は、ゲート電極(ワード配線)肩部での絶縁耐圧を増加させる構成例を示す。ゲート電極104上に絶縁膜105を積層し、これらの層を併せてパターンニングする。この積層ゲート電極構造の上面および側面を覆うように絶縁膜108が形成される。ゲート電極上の絶縁膜の厚さが増加するため、ゲート電極肩部での絶縁耐圧が向上する。

【0007】より具体的な構成においては、たとえばゲート電極104はドーパされたアモルファスシリコン膜とタングステンシリサイド膜の積層で形成され、ゲート電極上の絶縁膜105は、たとえば高温CVDで形成した酸化膜であるHTO膜とその上に形成したSiON反射防止膜の積層である。このような構造は、 $1.0 \sim 0.5 \mu\text{m}$ ルールメモリセルにおいて用いられた。

【0008】設計ルールが $0.20 \sim 0.25 \mu\text{m}$ のメモリセルにおいては、セル容量を確保するためにキャパシタの高さが増加する。このため、SACで開口すべきコンタクトホールが高アスペクト化する。このような状況においては、図2(B)に示すようなゲート電極上に絶縁膜を乗せただけの構造では対策が困難となっている。

【0009】図2(C)は、パターンの微細化により適した構成例を示す。シリコン半導体基板101の表面にフィールド酸化膜102が形成され、活性領域ARを画定している。活性領域AR表面には、ゲート酸化膜103が形成され、その上に不純物をドーパされたアモルファスシリコン層とタングステンシリサイド層の積層からなるゲート電極層104が形成され、さらにその上に高温酸化(HTO)膜、反射防止膜として機能するSiON膜、さらにエッチングストップとしてSiN膜の積層からなる絶縁積層105aが形成されている。ゲート電極層104、絶縁積層105aは同一パターンにエッチングされ、その表面を覆って酸化膜106が形成されている。

【0010】さらに、酸化膜106を覆うように、窒化膜107が形成される。窒化膜107に対して異方的なエッチングを行い、平坦面上の窒化膜を除去し、ゲート電極構造の側壁にのみサイドウォール107を残す。すなわち、ゲート電極は、その上面が窒化膜で覆われ、さらに側壁が窒化膜で覆われる。このような構造の上

に、BPSG等の層間絶縁膜109を形成する。

【0011】層間絶縁膜109上にレジストパターンを形成し、酸化膜のエッチングを異方的に行うことにより、窒化膜のサイドウォール107で挟まれた領域に開口を形成する。窒化膜のサイドウォール107がエッチングストップとして機能し、自己整合した開口が形成される。その後、開口底面に露出した酸化膜106を除去する。この場合、ゲート電極上方も窒化膜で覆われ、酸化膜のエッチングに対し、ストップの機能を果たす。

【0012】しかしながら、ゲート電極上方の窒化膜とゲート電極側壁上の窒化膜との間には酸化膜106が存在する。図中左方に示すように、レジストパターンの位置ずれが生じ、酸化膜106の上面がエッチング雰囲気には曝されると、露出した酸化膜106がエッチングされる危険性がある。酸化膜106が深くエッチングされると、コンタクトホールに埋め込まれる電極とゲート電極との間に耐圧低下、さらにはショートが生じ得る。

【0013】図2(D)は、上述の問題を解決し得る構成例を示す。本構成においては、ゲート電極104の上面に、高温酸化(HTO)膜と反射防止膜として機能するSiON膜との積層である絶縁積層105が形成され、同一形状にパターニングされる。このゲート電極構造上に高温CVD酸化膜110を堆積し、異方的にエッチングすることによってサイドウォール110が形成される。サイドウォールは周辺回路に必要なものであるが、メモリセル部にも同時に形成されてしまう。

【0014】サイドウォール形成後、ゲート電極構造を覆うように基板全面上に高温酸化(HTO)膜106、窒化膜111の積層が堆積される。窒化膜111は、その上に形成される酸化膜のエッチングに対し、エッチングストップとしての機能を果たす厚さに選択される。たとえば、酸化膜106の厚さは約20nmであり、窒化膜111の厚さは70nmである。

【0015】窒化膜111の上にBPSG等の層間絶縁膜が形成され、その上にレジストパターンが形成される。レジストパターンをエッチングマスクとして用い、層間絶縁膜のエッチングが行われる。層間絶縁膜のエッチングは、窒化膜111で自動的に停止する。その後、開口内に露出した窒化膜111を選択的に除去し、続いて酸化膜106を異方的にエッチングして基板101表面を露出させる。

【0016】

【発明が解決しようとする課題】図2(D)の構造において、パターン密度が密になると、ワード線(ゲート電極)間の間隙が減少する。サイドウォール110の厚さは、周辺回路に用いるライトリードアドレイン(lightly doped drain)構造のトランジスタの性能から定められる。窒化膜111の厚さは、エッチングストップとして機能するのに必要な厚さで定められる。酸化膜106の厚さは、窒化膜111がトラ

ンジスタの性能に悪影響を及ぼさない厚さに選定される。

【0017】このようにワード線間に形成される各絶縁層の厚さがそれぞれの機能から制限されると、ワード線間隔が狭められた場合、窒化膜111の形成する凹部の幅はパターン密度の向上と共に減少してしまう。凹部の幅がある程度以上狭くなると、窒化膜111を露出した後の凹部内の酸化膜を除去ができなくなってしまう。

【0018】この現象は、窒化膜111の上に形成された酸化膜、例えばBPSGのエッチングの際、凹部の幅がある程度以上狭くなるとデポ物の堆積が支配的に起こるようになり、窒化膜の堆積が生じ、窒化膜111の凹部がエッチング困難となってしまうためと考えられる。

【0019】本発明の目的は、パターン密度が向上した場合にも、SAC窓を確実に開口することのできる構造を有する半導体装置を提供することである。

【0020】本発明の他の目的は、パターン密度が向上した場合にも、コンタクト窓を確実に開口することのできる半導体装置の製造方法を提供することである。

【0021】

【課題を解決するための手段】本発明の一観点によれば、パターン密度の高い第1の領域と、パターン密度の低い第2の領域とを含む半導体装置であって、半導体基板と、前記半導体基板上に形成されたゲート絶縁膜と、前記第1の領域で前記ゲート絶縁膜上に形成された第1のゲート電極構造と、前記第2の領域で前記ゲート絶縁膜上に形成された第2のゲート電極構造と、前記第1のゲート電極構造の上面および側面を覆って半導体基板上に形成された第1の絶縁膜と、第1の絶縁膜の上に形成され、第1の絶縁膜とはエッチング特性の異なる第2の絶縁膜とを含む第1の積層絶縁膜と、前記第2のゲート電極構造の側面を覆い、前記第1および第2の絶縁膜と同一工程で形成された第3および第4の絶縁膜を含む第2の積層絶縁膜と、前記第1および第2のゲート電極構造の両側の半導体基板中に形成された第1対および第2対のソース/ドレイン領域と、前記第1および第2の積層絶縁膜を覆う層間絶縁膜と、前記層間絶縁膜および前記第1の積層絶縁膜を貫通し、前記第1のゲート電極構造側壁上の前記第1の絶縁膜に接して前記第1対のソース/ドレイン領域の一方に達する第1のコンタクトホールと、前記層間絶縁膜を貫通し、前記第2の積層絶縁膜の側方を通して前記第2対のソース/ドレイン領域の一方に達する第2のコンタクトホールと、前記第1、第2のコンタクトホールを埋める第1および第2のソース/ドレイン電極とを含み、前記第1のコンタクトホール内の第1のソース/ドレイン電極と、前記第1のゲート電極構造との間には前記層間絶縁膜が存在しない半導体装置が提供される。

【0022】パターン密度の高い第1の領域においては、ゲート電極構造の側壁上に、サイドウォールが形成

されないため、SAC用の第1の積層絶縁膜の形成する凹部の幅が広がる。

【0023】パターン密度の低い第2の領域においては、第1の積層絶縁膜と同一構造の第2の積層絶縁膜を用いてサイドウォールが形成されるため、LDD構造のトランジスタを形成することができる。

【0024】第1の積層絶縁膜と第2の積層絶縁膜とを同一の積層絶縁膜で形成することにより、製造工程を簡略化することができる。

【0025】本発明の他の観点によれば、半導体基板の複数の活性領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、第1の領域でパターン密度の高い複数の第1のゲート電極構造を、第2の領域でパターン密度が低い複数の第2のゲート電極構造を形成する工程と、前記第1、第2のゲート電極構造の両側で、前記半導体基板内にそれぞれ1対のソース/ドレイン領域を形成する工程と、前記第1、第2のゲート電極構造を覆って、半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1の絶縁膜とエッチング特性が異なる第2の絶縁膜を形成する工程と、前記第1の領域の第2の絶縁膜、および第2の領域の第2のゲート電極構造上面および前記サイドウォールを覆って半導体基板上に前記第2の絶縁膜とエッチング特性が異なる層間絶縁膜を形成する工程と、前記第1の領域で、前記第2の絶縁膜をエッチングストップパとして用い、前記層間絶縁膜、前記第1の積層絶縁膜を貫通し、前記ソース/ドレイン領域の1つに達する開口を自己整合的に形成する工程とを有する半導体装置の製造方法が提供される。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の実施例を説明する。

【0027】図1は、本発明の実施例によるDRAM装置の構成を概略的に示す。DRAM装置は、メモリセル領域MCと周辺回路領域PCを含む。メモリセル領域MCにおいては、多数のメモリセルが高密度に配置される。周辺回路領域PCにおいては、センスアンプやデコード等のメモリセル領域に対する制御回路が形成される。

【0028】図示の便宜のため、図中左側にメモリセルMCのトランジスタ部分の構成を示し、図中右側に周辺回路領域PCのトランジスタ部分を示す。シリコン基板1の表面に、活性領域ARを取り囲むように、フィールド酸化膜2が形成される。フィールド酸化膜2で囲まれた活性領域AR上に、ゲート酸化膜3が形成される。

【0029】ゲート酸化膜3上に、シリコン層とシリサイド層の積層からなるワード線（ゲート電極）4が形成され、その上に絶縁層5が形成される。絶縁層5は、たとえば高温酸化（HTO）膜と反射防止膜として機能するSiON膜の積層で形成される。ワード線構造4、絶縁層5の積層を同一パターンでパターニングした後、ゲ

ート電極構造を覆うように基板全面上にCVDにより高温酸化（HTO）膜6および窒化膜7の積層が形成される。

【0030】メモリセル領域MCをホトレジストで覆い、周辺回路領域PCを露出した状態で異方性エッチングを行うことにより、窒化膜7の異方性エッチングを行う。周辺回路領域においては、窒化膜7が異方的にエッチングされ、ゲート電極構造の側壁にサイドウォール7aが残る。必要に応じ、さらに酸化膜の異方性エッチングを行う。このようにして、周辺回路領域PCのゲート電極側壁にはサイドウォールが形成される。

【0031】周辺回路領域PCにおいては、サイドウォール形成前に軽いイオン注入を行い、サイドウォール形成後に高濃度のイオン注入を行うことにより、LDD構造のソース/ドレイン領域が形成される。LDD構造を用い高性能のトランジスタを形成することができる。メモリセル領域MCにおいては、サイドウォールを形成するのに用いた酸化膜と窒化膜の積層が、SAC用のエッチングストップパとして使用できる。サイドウォールを形成していないため、ワード線間の間隔が広くなり、高いアスペクト比の開口を形成しやすくなる。

【0032】以下、より詳細な実施例を説明する。図3（A）～（D）、図4（E）～（G）、図5（H）、（I）は、本発明の実施例による半導体記憶装置の製造工程を示す半導体基板の断面図である。

【0033】図3（A）に示すように、まずフィールド酸化膜12および必要なウェルN1、N2、P1の作成を行う。たとえば、p型シリコン基板11表面上にバッファ酸化膜、窒化膜を形成し、窒化膜をパターニングすることにより耐酸化マスクを形成する。n型ウェルN1、N2を形成すべき領域を除いてホトレジストマスクで覆い、n型不純物のイオン注入を行う。レジストマスクを除去し、局所酸化（LOCOS）によるフィールド酸化膜12の形成を行う。この時、イオン注入されたn型不純物は同時に活性化、ドライン・インされ、n型ウェルN1、N2が形成される。

【0034】p型ウェルP1を露出する開口を有するレジストマスクを形成し、p型不純物のイオン注入を行う。図の構成では、p型ウェルP1はn型ウェルN2内に形成され、いわゆるトリプルウェルを形成している。なお、これらのウェル構造は周知のものであり、周知の技術を用いて周知のいずれのウェル構造を採用することもできる。

【0035】フィールド酸化膜12を形成した後、耐酸化マスクである窒化膜、その下のバッファ酸化膜を除去する。露出したシリコン基板表面にゲート酸化膜13を熱酸化により形成する。

【0036】基板全面上にドーパドアモルファスシリコン層14a、タングステンシリサイド（WSi）層14b、高温酸化（HTO）膜15a、SiON反射防止膜

15bの積層を形成する。なお、ドーパドアモルファスシリコン層14aとタングステンシリサイド層14bは併せてワード配線14を形成する。また、酸化膜15a、酸化窒化膜15bは併せてワード配線上の絶縁層15を形成する。

【0037】この積層の上に、ホトレジストマスクを形成し、異方性エッチングを行うことにより、ワード配線構造を作成する。このワード配線構造をマスクとし、n型不純物のイオン注入およびp型不純物のイオン注入を行い、低不純物濃度のn型領域21、p型領域23を作成する。ここまでの工程は、従来の技術と同様である。

【0038】図3(B)に示すように、基板全面上に高温酸化(HTO)膜16、窒化膜17をCVDにより形成する。酸化膜16は、たとえば800℃の温度において、 SiH_4 と N_2O をソースガスとし、厚さ10~30nm、たとえば20nmに形成する。窒化膜17は、たとえば基板温度650℃においてソースガスとして SiH_4 と NH_3 を用い、厚さ30~100nm、たとえば70nmに形成する。

【0039】なお、ワード配線構造は、シリコン層14aが高さ約50nm、WSi層14bが高さ約150nm、その上の絶縁膜15が高さ約50nmであり、全体として約250nmの高さを有する。なお、設定に応じてワード配線構造の高さは100~300nmの範囲で変更することができる。

【0040】図3(C)に示すように、メモリセル領域MCをレジストマスクPRで覆い、周辺回路領域PCを露出する。周辺回路領域PCで露出された酸化膜16、窒化膜17の積層に対し、異方性エッチングを行い、ワード配線側壁上にのみサイドウォール16a、17aとして残す。ソース/ドレイン領域上の窒化膜17は完全に除去され、酸化膜16も除去される。図では、ゲート酸化膜13は残る構成を示している。

【0041】たとえば、エッチングガスとして CHF_3 / CF_4 / $\text{O}_2 = 12/12/5\text{ sccm}$ を用い、圧力50mTorr、高周波電力300Wの条件下でリアクティブイオンエッチング(RIE)を行い、シリコン窒化膜17の大部分をエッチングする。平坦面上でシリコン窒化膜17がわずかに残った状態でエッチング条件を切り換える。

【0042】たとえば、エッチングガスとして SF_6 / $\text{HBr} = 200/25\text{ sccm}$ を用い、圧力500mTorr、電力150Wの条件のアノード結合プラズマエッチングを行い、平坦面上に残った窒化膜およびその下の酸化膜の準異方性エッチングを行う。その後、レジストマスクPRは除去する。

【0043】このようにして、メモリセル領域MCにおいては、ワード配線構造の上面および側面を酸化膜16、窒化膜17の積層で覆い、周辺回路領域PCにおいてはワード配線構造の側壁上に酸化膜16a、窒化膜1

7aの積層からなるサイドウォールを作成する。

【0044】その後、レジストマスクを用いてnチャネル領域、pチャネル領域を分割し、n型不純物、p型不純物のイオン注入を行い、高濃度のソース/ドレイン領域22、24を作成する。このようにして、周辺回路領域PCにおいてはLDD構造のCMOSトランジスタが作成される。

【0045】図3(D)に示すように、ワード配線構造を覆って基板全面上にBPSGからなる絶縁層25を形成する。たとえば、BPSG絶縁膜25は厚さ1.75μmとする。絶縁層25をリフローまたは化学機械研磨(CMP)または両者によって平坦化し、平坦化された表面上に高温酸化(HTO)膜26を形成する。

【0046】図4(E)に示すように、HTO膜26上に、ビット線コンタクト領域に開口を有するレジストマスク27を形成する。レジストマスク27をエッチングマスクとして用い、ビット線用コンタクトホール28を形成する。まず、酸化膜用のエッチングを行い、HTO膜26、BPSG絶縁膜25のエッチングを行う。酸化膜用エッチングが終了すると、開口内底面には窒化膜17が露出する。

【0047】次に、窒化膜17の選択的エッチングを行う。たとえば、多結晶シリコン系エッチャーを用い、平坦面上で選択比30程度の選択的窒化膜エッチングを行う。このエッチングにより開口内に露出した窒化膜17は除去される。なお、メモリセル領域MCにおいては、ワード配線構造にサイドウォールが形成されていないため、窒化膜17の形成する凹部の幅が広く、エッチングの自動停止を防止して安定にエッチングを行うことができる。

【0048】窒化膜17のエッチング後、さらに酸化膜の異方性エッチングを行い、開口内底面上の酸化膜16、13を除去する。この時、ワード配線構造側壁上の酸化膜16はほとんどエッチングされずに残る。

【0049】図4(F)は、エッチング終了後の構造を概略的に示す。ビット線用コンタクトホール28がHTO酸化膜26、BPSG絶縁膜25、窒化膜17、酸化膜16、13を貫通して形成され、その下にソース/ドレイン領域が露出する。その後、レジストマスク27は除去する。

【0050】図4(G)に示すように、基板全面上にビット線配線層29を堆積する。たとえば、ドーパドアモルファスシリコン層とタングステンシリサイド層の積層によりポリサイド電極層をCVDにより堆積する。なお、ポリサイド電極層の代わりにメタル配線層を用いることもできる。また、CVDに代え、スパッタリングを用いることもできる。その後、ビット線配線層29のパターニングを行い、ビット線29を作成する。

【0051】図5(H)に示すように、ビット線29を覆うように、BPSG絶縁層30を形成し、必要に応じ

てその表面を平坦化する。BPSG絶縁層の上にさらにHTO膜を設けてもよい。レジストマスクを用いて蓄積電極用コンタクトホール31を形成する。このコンタクトホール作成工程は、図4(E)、(F)で説明したエッチング工程と同様に行うことができる。このようにして、蓄積電極用コンタクトホール31を形成する。

【0052】図6は、本実施例による半導体記憶装置の平面レイアウトを概略的に示す。図中横方向にビット線29が平行に形成され、ワード線14は縦方向に形成される。フィールド酸化膜で画定された活性領域ARは、ビット線、ワード線に交差するように斜め、たとえばビット線に対し約30°の角度、に形成されている。蓄積電極用コンタクトホール31は、ビット線用コンタクトホール28と図中水平方向、垂直方向にずれた位置に配置される。このため、図5(H)の断面図においては、蓄積電極用コンタクトホール31は隠れた位置に形成される。

【0053】蓄積電極用コンタクトホール31を埋め込むように蓄積電極用電極領域が形成され、さらに蓄積電極用セルプレート32が形成される。

【0054】セルプレート32表面上に窒化膜33を形成し、その表面を覆うように対向電極層34が形成される。

【0055】図6(B)、(C)、(D)は、セルプレートの構成例を示す。図6(B)は最も単純な形状のセルプレートであり、蓄積電極用コンタクトホールを部分的に埋め込むようにシリコン膜が形成される。なお、シリコン膜表面を粗面ポリシリコンとすることにより、表面積をほぼ倍増することができる。

【0056】図6(C)は、コンタクトホールをシリコン領域で埋め込んだ後、その表面上に円柱状または角柱状のセルプレートを形成した構成を示す。

【0057】図6(D)は、さらに表面積を増加させるため、シリンドラ形状の蓄積電極を形成した場合を示す。なお、図6(C)、(D)の場合にも、セルプレート表面を粗面ポリシリコンとすることにより、容量をほぼ倍増させることができる。

【0058】蓄積キャパシタを形成した後、その表面上をBPSG等の絶縁膜35で覆う。絶縁膜35に対し、必要に応じて平坦化処理を行う。

【0059】レジストマスクを用い、周辺回路領域PCにコンタクトホール36を形成する。周辺回路領域PCにおいては、ソース/ドレイン領域上に窒化膜17が存在しないため、酸化膜のエッチングのみによりソース/ドレイン領域に達するコンタクトホールを容易に形成することができる。

【0060】図5(I)に示すように、周辺回路領域において必要な電極配線37を形成する。電極配線は、たとえば、Ti/TiN/Wの積層で形成する。Ti層は、スパッタリングで形成する。TiN層は、スパッタ

リングまたはCVDで形成する。W層は、CVDで形成する。その後配線層37のパターニングを行う。

【0061】さらに、必要な絶縁層形成、配線形成を行い、半導体記憶装置を完成させる。以上説明した実施例においては、ビット線コンタクトホール作成と蓄積電極コンタクトホール作成のために、2回SAC工程を行った。SAC工程は必ずしも2回行う必要はない。

【0062】図7(E)~(G)、図8(H)、(I)、図9(J)、(K)は、本発明の他の実施例による半導体記憶装置の製造工程を示す半導体基板の断面図である。

【0063】この実施例においては、SAC工程は1回のみ行われる。まず、図3(A)~(D)に示す工程が行われる。

【0064】図7(E)に示すように、図3(D)に示す構成の上にレジストマスク27を形成し、エッチングを行うことにより、ビット線用コンタクトホール28および蓄積電極用コンタクトホール31を同時に形成する。このコンタクトホール形成用エッチング工程は、図4(E)、(F)を参照して説明したエッチング工程と同様に自己整合的に行うことができる。

【0065】図10は、本実施例による半導体記憶装置の平面レイアウトを概略的に示す。本構成においては、ビット線44が水平方向に延在し、ワード線14が垂直方向に延在する。活性領域ARは、ビット線の下にビット線と平行な方向に延在して形成される。ビット線用コンタクトホール28と蓄積電極用コンタクトホール31は水平方向に並んで形成される。このような配置を行うためには、蓄積電極とビット線とを異なるレベルに配置する必要がある。

【0066】図7(F)は、コンタクトホール形成工程終了後の断面構造を概略的に示す。メモリセル領域において、ソース/ドレイン領域がコンタクトホール底面に露出する。

【0067】図7(G)に示すように、コンタクトホール内に露出した表面を覆うように、ドーパドアモルファスシリコン層とその表面上に粗面ポリシリコンを形成し、電極層40を形成する。粗面ポリシリコンは、アモルファス相と結晶相の境界近傍の成長条件でポリシリコンを成長させ、半球状の形状に成長させたポリシリコンである。

【0068】図8(H)に示すように、基板表面をCMPにより研磨し、上部平坦面上の電極層40を除去し、コンタクトホール内のみ電極層40aを残す。この工程は、パターニングを行う必要がなく、したがって位置合わせを行う必要もない。一回のSAC工程とCMPのみにより、分離されたビットコンタクトと蓄積電極コンタクトが形成される。

【0069】図8(I)に示すように、電極層40a表面を覆うように、シリコン窒化膜41をCVDにより堆

積する。続いて、窒化膜41表面を覆うように、ドーパドアモルファスシリコン膜42を形成する。

【0070】レジストマスクを用い、シリコン膜42をパターニングすることにより、蓄積電極用シリコン膜とビットコンタクト上のシリコン膜の分離を行う。

【0071】図9(J)に示すように、基板表面上にBPSG層43を形成し、たとえば800℃で20分間のリフロー処理を行って表面を平坦化する。BPSG層43表面上にレジストパターンを形成し、ビットコンタクトを露出する開口を形成する。

【0072】さらに、周辺回路領域のコンタクトホールを形成するため、他のレジストマスクを形成し、周辺回路領域において表面からソース/ドレイン領域に達するコンタクトホール45を形成する。

【0073】図9(K)に示すように、配線層46を堆積し、パターニングすることにより、ビット線および周辺回路領域の配線を形成する。配線層46は、たとえばTi/TiN/Wの積層により形成することができる。Ti層は、スパッタリングにより形成できる。TiN層は、CVDまたはスパッタリングにより形成することができる。W層は、CVDにより形成することができる。なお、積層配線層を形成する際、各層形成の間に必要に応じてラビッドサーマルアニール(RTA)を行うと、電極層の剥がれ対策として有効である。

【0074】必要に応じ、さらに絶縁層形成、配線層形成を行い、半導体記憶装置を完成させる。

【0075】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0076】

【発明の効果】以上説明したように、本発明によれば、パターン密度の高い領域においては、ゲート(ワード)構造側壁上にサイドウォールを形成せず、パターン密度の低い領域においてはゲート(ワード)構造側壁上にサイドウォールを形成する。このため、パターン密度の高い領域においては、コンタクトホールを安定に形成することができ、パターン密度の低い領域においてはLDD構造のトランジスタを形成することができる。

【0077】パターン密度の高い領域においては、酸化膜、窒化膜積層によりゲート(ワード)配線構造を覆い、SAC工程を行うことができる。パターン密度の低い領域においては、同一の積層を用いてサイドウォールを形成することができる。このため、少ない工程により半導体装置の高集積化を容易にすることができる。

【図面の簡単な説明】

【図1】本発明の実施例による半導体装置の製造工程を説明するための概略断面図である。

【図2】従来技術を説明するための半導体基板の概略断面図である。

【図3】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の概略断面図である。

【図4】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の概略断面図である。

【図5】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の概略断面図である。

【図6】図3～図5に示す実施例をさらに説明するための平面図および断面図である。

【図7】本発明の他の実施例による半導体装置の製造方法を説明するための概略断面図である。

【図8】本発明の他の実施例による半導体装置の製造方法を説明するための概略断面図である。

【図9】本発明の他の実施例による半導体装置の製造方法を説明するための概略断面図である。

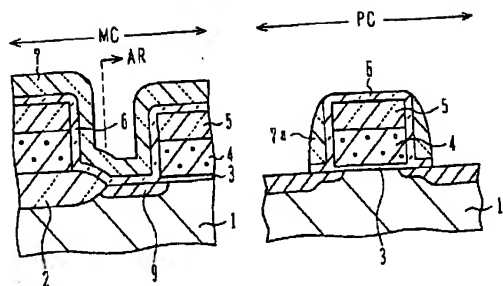
【図10】図7～図9に示す実施例をさらに説明するための概略平面図である。

【符号の説明】

- 1 半導体基板
- 2 フィールド酸化膜
- 3 ゲート酸化膜
- 4 ゲート電極(ワード配線)
- 5 絶縁層
- 6 酸化膜
- 7 窒化膜
- 11 シリコン基板
- 12 フィールド酸化膜
- 13 ゲート酸化膜
- 14 ゲート電極(ワード配線)
- 15 絶縁積層
- 16 酸化膜
- 17 窒化膜
- 25 BPSG層
- 26 HTO膜
- 28、31 コンタクトホール
- 29 ビット線
- 30 BPSG層
- 32 セルプレート
- 33 誘電体層
- 34 対向電極
- 35 BPSG層
- 37 配線層
- 40 電極層
- 41 誘電体層
- 42 シリコン膜(対向電極)
- 43 BPSG層
- 46 配線層

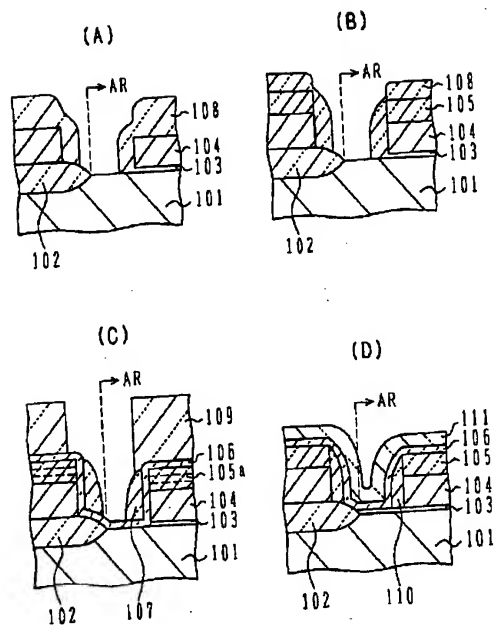
(9)

【図1】

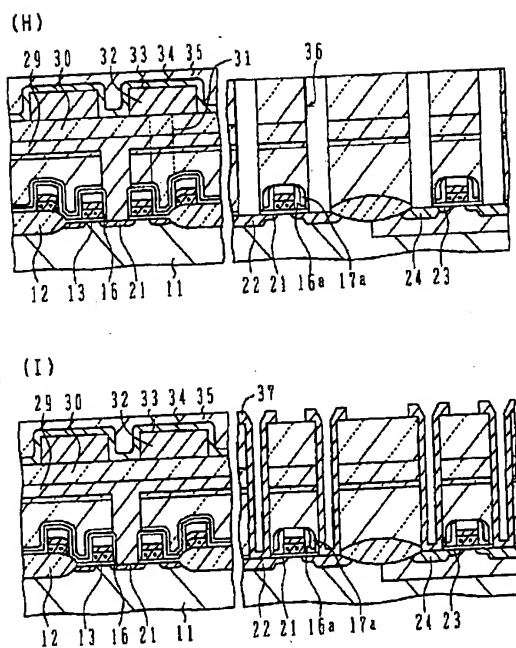


【図2】

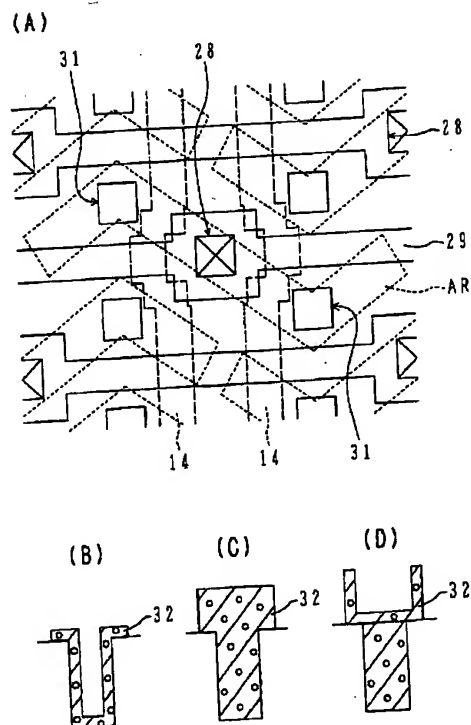
従来技術



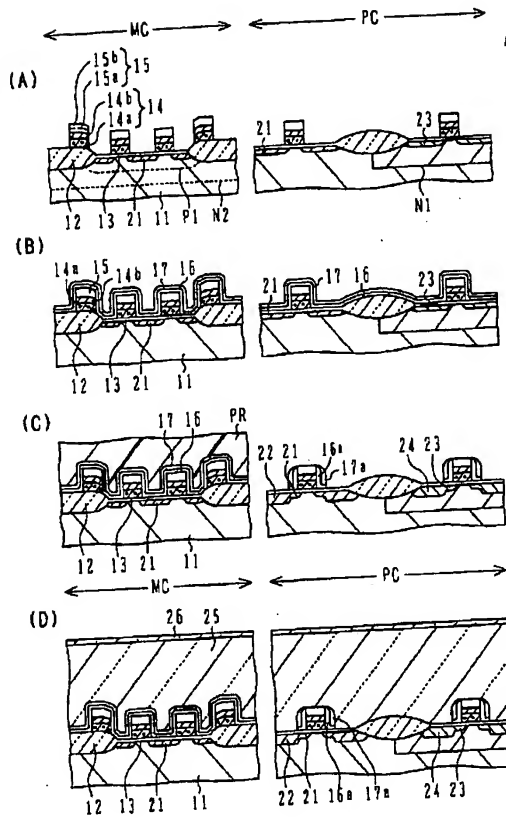
【図5】



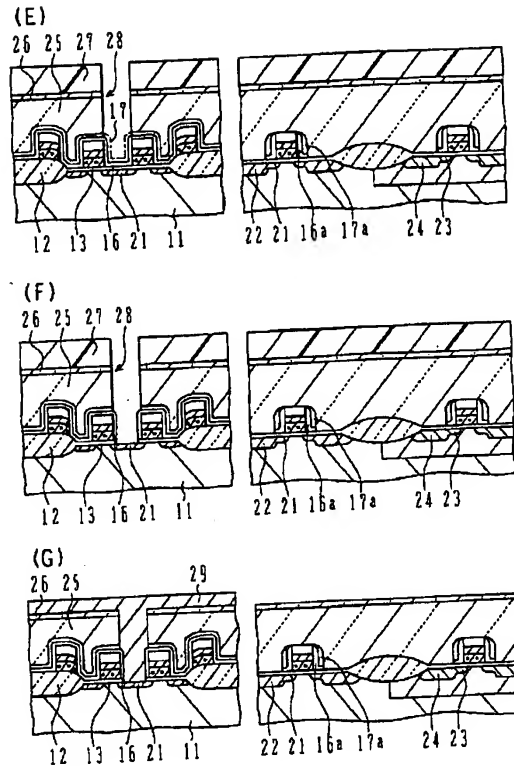
【図6】



【図3】

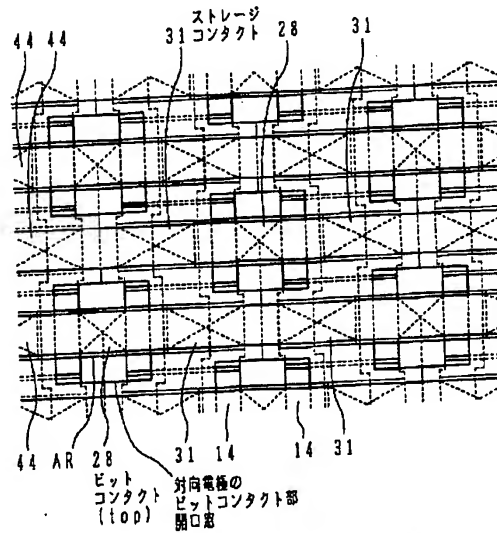
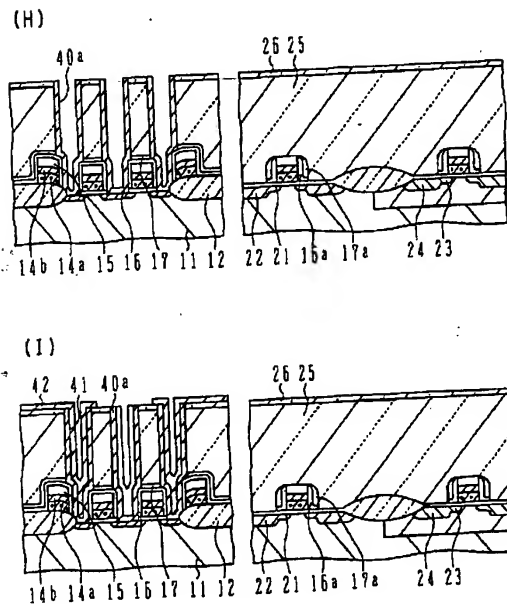


【図4】

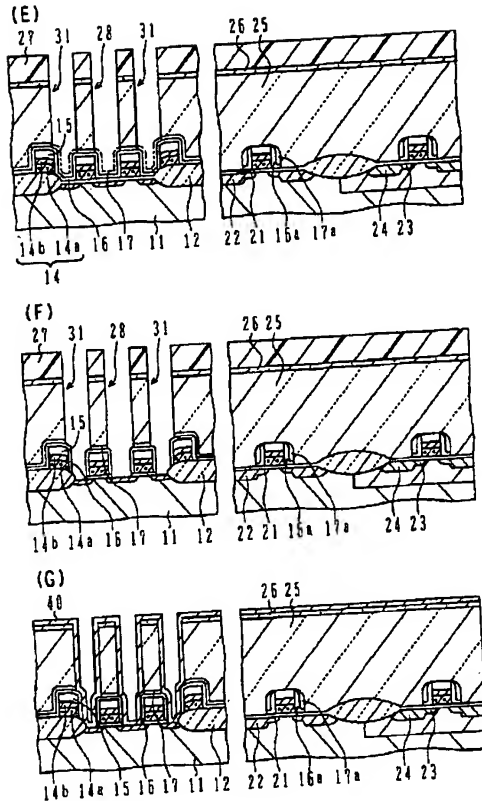


【図10】

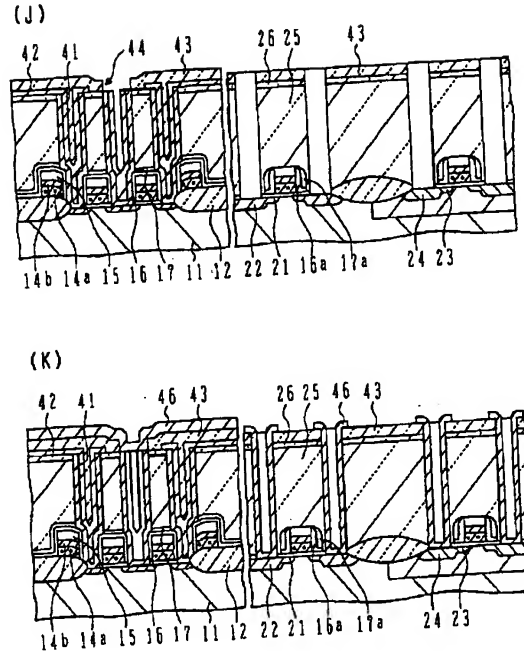
【図8】



【図7】



【図9】



【手続補正書】

【提出日】平成9年12月25日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項11

【補正方法】変更

【補正内容】

【請求項11】 半導体基板の複数の活性領域上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、第1の領域でパターン密度の高い複数の第1のゲート電極構造を、第2の領域でパターン密度が低い複数の第2のゲート電極構造を形成する工程と、

前記第1、第2のゲート電極構造の両側で、前記半導体基板内にそれぞれ1対のソース/ドレイン領域を形成する工程と、

前記第1、第2のゲート電極構造を覆って、半導体基板上に第1の絶縁膜を形成する工程と、
前記第1の絶縁膜上に第1の絶縁膜とエッチング特性が異なる第2の絶縁膜を形成する工程と、

前記第1の領域の第2の絶縁膜、および第2の領域の第2のゲート電極構造を覆って半導体基板上に前記第2の絶縁膜とエッチング特性が異なる層間絶縁膜を形成する工程と、

前記第1の領域で、前記第2の絶縁膜をエッチングストッパとして用い、前記層間絶縁膜、前記第1、第2の絶縁膜を貫通し、前記第1のゲート電極構造側壁上の前記第1の絶縁膜に接して前記ソース/ドレイン領域の1つに達する開口を自己整合的に形成する工程とを有する半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】図2(C)は、パターンの微細化により適した構成例を示す。シリコン半導体基板101の表面にフィールド酸化膜102が形成され、活性領域ARを画定している。活性領域AR表面には、ゲート酸化膜10

3が形成され、その上に不純物をドーパされたアモルファスシリコン層とタンゲステンシサイド層の積層からなるゲート電極層104が形成され、さらにその上に高温酸化(HTO)膜、反射防止膜として機能するSiON膜、さらにエッチングストッパとして機能するSiN膜の積層からなる絶縁積層105aが形成されている。ゲート電極層104、絶縁積層105aは同一パターンにエッチングされ、その表面を覆って酸化膜106が形成されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】さらに、酸化膜106を覆うように、窒化膜が形成される。窒化膜に対して異方的なエッチングを行い、平坦面上の窒化膜を除去し、ゲート電極構造の側壁上にのみサイドウォール107を残す。すなわち、ゲート電極は、その上面が絶縁積層105aの窒化膜で覆われ、さらに側壁が窒化膜107で覆われる。このような構造の上に、BPSG等の層間絶縁膜109を形成する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】このようにワード線間に形成される各絶縁層の厚さがそれぞれの機能から制限されると、ワード線間隔が狭められた場合、窒化膜111の形成する凹部の幅はパターン密度の向上と共に減少してしまう。凹部の幅がある程度以上狭くなると、窒化膜111を露出した後の凹部内の窒化膜、酸化膜の十分な除去ができなくなってしまう。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】この現象は、以下のよう考えられる。窒化膜111の上に形成された酸化膜、例えばBPSGのエッチングの際、凹部の幅がある程度以上狭くなるとデポ物の堆積が支配的に起こるようになる。窒化物の堆積が生じ、窒化膜111の凹部がエッチング困難となってしまう。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】本発明の他の観点によれば、半導体基板の複数の活性領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、第1の領域でパターン密度の高い複数の第1のゲート電極構造を、第2の領域でパターン密度が低い複数の第2のゲート電極構造を形成する工程と、前記第1、第2のゲート電極構造の両側で、前記半導体基板内にそれぞれ1対のソース/ドレイン領域を形成する工程と、前記第1、第2のゲート電極構造を覆って、半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1の絶縁膜とエッチング特性が異なる第2の絶縁膜を形成する工程と、前記第1の領域の第2の絶縁膜、および第2の領域の第2のゲート電極構造を覆って半導体基板上に前記第2の絶縁膜とエッチング特性が異なる層間絶縁膜を形成する工程と、前記第1の領域で、前記第2の絶縁膜をエッチングストッパとして用い、前記層間絶縁膜、前記第1、第2の絶縁膜を貫通し、前記第1のゲート電極構造側壁上の前記第1の絶縁膜に接して前記ソース/ドレイン領域の1つに達する開口を自己整合的に形成する工程とを有する半導体装置の製造方法が提供される。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】図3(A)に示すように、まずフィールド酸化膜12および必要なウェルN1、N2、P1の作成を行う。たとえば、p型シリコン基板11表面上にバッファ酸化膜、窒化膜を形成し、窒化膜をパターニングすることにより耐酸化マスクを形成する。n型ウェルN1、N2を形成すべき領域を除いてホトレジストマスクで覆い、n型不純物のイオン注入を行う。レジストマスクを除去し、局所酸化(LOCOS)によるフィールド酸化膜12の形成を行う。この時、イオン注入されたn型不純物は同時に活性化、ドライブインされ、n型ウェルN1、N2が形成される。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0076

【補正方法】変更

【補正内容】

【0076】

【発明の効果】以上説明したように、本発明によれば、パターン密度の高い領域においては、ゲート(ワード)構造側壁上にサイドウォールを形成せず、パターン密度の高い領域においては、酸化膜、窒化膜積層等のエッチング特性の異なる絶縁膜積層によりゲート(ワード)配線構造を覆い、SAC工程を行うことができる。パターン密度の低い領域においては、同一の積層を用いてゲート(ワード)構造側壁上にサイドウォールを形成するこ

とができる。このため、少ない工程により半導体装置の高集積化を容易にすることができる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0077

【補正方法】変更

【補正内容】

【0077】このため、パターン密度の高い領域においては、コンタクトホールを安定に形成することができ、パターン密度の低い領域においてはLDD構造のトランジスタを形成することができる。